

#2 7-26-01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re PATENT APPLICATION of :  
Ryoichi Matsumoto :  
Serial No.: [NEW] : Attn: Applications Branch  
Filed: May 25, 2001 : Attorney Docket No.: OKI.237  
For: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY**

Honorable Assistant Commissioner for Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Japanese application:


Appln. No. 2000-205215 filed July 6, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, PLLC

  
Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: May 25, 2001

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 7月 6日

出 願 番 号

Application Number:

特願2000-205215

出 願 人

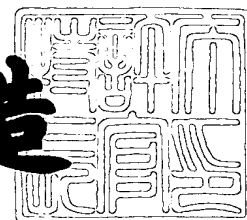
Applicant(s):

沖電気工業株式会社

2000年10月27日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2000-3088164

【書類名】 特許願

【整理番号】 KT000263

【提出日】 平成12年 7月 6日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/26

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社  
社内

【氏名】 松本 良一

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100095957

【弁理士】

【氏名又は名称】 亀谷 美明

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096389

【弁理士】

【氏名又は名称】 金本 哲男

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100101557

【弁理士】

【氏名又は名称】 萩原 康司

【電話番号】 03-3226-6631

【選任した代理人】

【識別番号】 100096091

【弁理士】

【氏名又は名称】 井上 誠一

【電話番号】 03-3226-6631

【手数料の表示】

【予納台帳番号】 040224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707549

【包括委任状番号】 9707550

【包括委任状番号】 9707551

【包括委任状番号】 0001436

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に第 1 絶縁層を介して形成された半導体層に、前記半導体層に形成される活性領域を絶縁する絶縁領域を形成する工程と；

前記絶縁領域形成後、前記半導体層上に、導電層を形成する工程と；

前記導電層形成後、前記半導体層にイオンを注入し、前記活性領域を形成する工程と；

を含むことを特徴とする、半導体装置の製造方法。

【請求項 2】 前記導電層形成前に、前記活性領域を形成する前記半導体層上に、第 2 絶縁層を形成する工程を含むことを特徴とする、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記活性領域形成後、前記導電層を除去する工程と；  
前記導電層除去後、前記半導体層の前記活性領域上に、第 2 絶縁層を形成する工程と；

を含むことを特徴とする、請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記導電層は、C から構成されることを特徴とする、請求項 1、2 または 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記導電層は、不純物イオンがドーピングされた Si から構成されることを特徴とする、請求項 1、2 または 3 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 前記導電層は、5 nm ～ 10 nm の厚みに形成されることを特徴とする、請求項 4 または 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】 前記導電層は、Au、Au 合金、Pt、Pt 合金、Au と Pt との合金から成る群から選択される任意の金属から構成されることを特徴とする、請求項 1、2 または 3 のいずれかに記載の半導体装置の製造方法。

【請求項 8】 前記導電層は、Al または Al 合金から構成されることを特徴とする、請求項 1、2 または 3 のいずれかに記載の半導体装置の製造方法。

【請求項 9】 前記導電層は、1 nm ～ 5 nm の厚みに形成されることを特

徴とする、請求項 7 または 8 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特に SOI (Silicon On Insulator) 基板に半導体素子を形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】

最近、半導体デバイスの製造においては、低消費電力化や超高速動作化が技術的要求項目の一つに挙げられている。かかる技術的要求を達成するべく、SOI ウェハに LSI (Large Scale Integrated circuit) を形成する技術が提案されている。例えば、図 6 (e) に示す SOI ウェハ 12 上に MOS (Metal-Oxide Semiconductor) 型 FET (Field-Effect-Transistor) が形成された半導体装置 10 は、以下のように形成される。なお、図 6 は、従来の半導体装置 10 の製造工程を説明するための半導体装置 10 の概略的な断面図である。また、図 7 は、イオン注入工程時の半導体装置 10 の状態を説明するための半導体装置 10 の概略的な断面図である。

【0003】

SOI ウェハ 10 は、図 6 (a) に示すように、半導体基板 14 上に積層された BOX (Buried Oxide) 層 (埋め込み酸化膜層) 16 と半導体層 18 とを備えている。そして、まず半導体層 18 にフィールド酸化膜 20 を形成し、半導体層 18 を BOX 層 16 およびフィールド酸化膜 20 により絶縁する。次いで、図 6 (b) に示すように、半導体層 18 の表面にゲート酸化膜 22 を形成する。次いで、図 6 (c) に示すように、半導体層 18 とゲート酸化膜 22 との界面に中ドーズ量のチャネルイオン 24 を注入する。次いで、図 6 (d) に示すように、ゲート酸化膜 22 上にゲート電極 26 を形成した後、半導体層 18 にソース/ドレイン領域 28 を形成する。次いで、図 6 (e) に示すように、層間

絶縁膜 3 0, コンタクトホール 3 2, 埋め込みプラグ 3 4, 配線層 3 6 を形成し, MOS 型 FET が形成される。SOI ウェハ 1 2 に形成した MOS 型 FET は, チャンネル領域やソース／ドレイン領域 2 8 が BOX 層 1 6 上に形成される。このため, 空乏層が半導体基板 1 4 に形成されることがなく, LSI の低消費電力化を達成することが可能となる。

【0004】

【発明が解決しようとする課題】

しかしながら, 従来の半導体装置 1 0 では, 図 6 (c) に示すチャネルイオン注入工程でゲート酸化膜 2 2 が損傷あるいは破壊することがある。発明者の知見によれば, イオン ( $B^{+}$ ) 2 4 のドーズ量と, ゲート酸化膜 2 2 の損傷発生率および半導体層 1 8 の蓄積電位差との関係は, 下記表 1 に示すようになる。

【0005】

【表 1】

イオンのドーズ量 (個/cm <sup>2</sup> )	ゲート酸化膜 1mm <sup>2</sup> 当 りの損傷発生率 (%)	半導体層の蓄積 電位差 (V)
$2 \times 10^{12}$	0	10.7
$4 \times 10^{12}$	約 4	21.4
$8 \times 10^{12}$	約 7	42.8
$9 \times 10^{12}$	30~35	48.0

【0006】

表 1 に示すように, 半導体層 1 8 の蓄積電位差は, イオン 2 4 のドーズ量の増加に伴って増加する。一般的に SOI ウェハ 1 0 は, SIMOX (Separation by Implanted Oxygen) 法で形成すると, BOX 層 1 6 の絶縁耐圧値は, 40V~60V と言われている。このため, 半導体層 1 8 の蓄積電位差が増加し, BOX 層 1 6 の絶縁耐圧値に近づくにつれてゲート酸化膜 2 2 の損傷発生率も増加する。なお, 本明細書中において絶縁耐圧値とは,

所定絶縁層が損傷しない上限電圧値を言う。

【0007】

また、半導体層18は、BOX層16およびフィールド酸化膜20により絶縁されている。このため、半導体層18とゲート酸化膜22との界面にイオン24を注入すると、図7(a)に示すようにイオン24の電荷(+)38が半導体層18に蓄積(チャージアップ)する。さらに、図7(b)に示すように、半導体層18へのイオン24の電荷38の蓄積量が多くなり、BOX層16の絶縁耐圧値を超えると、BOX層16のウィークスポットに貫通部40が形成される。そして、半導体基板14に存在する電子(-)42が、貫通部40および半導体層18を介して、ゲート酸化膜22に導入される。その結果、ゲート酸化膜22は、電子42によりダメージを受け、絶縁耐圧不良やTDDB(Time Dependence Dielectric Breakdown(絶縁膜破壊の時間依存性))不良などを起こす。

【0008】

また、V<sub>t</sub>コントロール(しきい値調整)用のイオン注入を、電子銃を備えた高ドーズイオン注入装置で行えば、半導体層18への蓄積電荷が生じ難いので、ゲート酸化膜22の損傷を抑えることができる。しかしながら、高ドーズイオン注入装置は、一般的に $1 \times 10^{14}$ 個/cm<sup>2</sup>以上のドーズ量でイオン注入を行うように設計されている。従って、SOIウェハ12にMOS型FETを形成する場合のように、例えば $2 \times 10^{12}$ 個/cm<sup>2</sup>~ $1 \times 10^{13}$ 個/cm<sup>2</sup>のドーズ量のイオン注入が要求される場合には、半導体層18での蓄積電荷の抑制にむらが生じ、MOS型FETの品質を一定に維持することが困難である。

【0009】

また、コンタクトエッチングでのチャージングダメージによるゲート破壊について(社団法人 電子情報通信学会 信学技報 TECHNICAL REPORT OF IEICE. SDM98-218(1999-03))では、図6(a)に示すLOCOS(LOCAL Oxidation of Silicon)法によりフィールド酸化膜20を形成したSOIウェハ12について以下の問題点が報告されている。すなわち、図6(e)に示すように、ドライエッ



チング法によりコンタクトホール32を形成する場合、エッチング材（ガス）である電荷をもったハロゲンガスやフロンガスのイオンが半導体層18に到達すると、電荷38が半導体層18に蓄積される。この半導体層18への電荷38の蓄積は、上述したように半導体層18がBOX層16とフィールド酸化膜20により絶縁されているためである。また、BOX層16の膜厚が100nm～120nmである場合には、BOX層16の耐圧は40V～50Vである。そして、エッチングガスのイオンに由来する電荷の蓄積電位がBOX層16の耐圧を超えると、BOX層16は永久絶縁破壊を起こし、同時にゲート酸化膜22の絶縁破壊も起こすと報告されている。

## 【0010】

本発明は、従来の技術が有する上記問題点に鑑みて成されたものであり、本発明の目的は、上記問題点およびその他の問題点を解決することが可能な、新規かつ改良された半導体装置の製造方法を提供することである。

## 【0011】

## 【課題を解決するための手段】

上記課題を解決するために、本発明の第1の観点によれば、半導体基板（14）上に第1絶縁層（16）を介して形成された半導体層（18）に、半導体層（18）に形成される活性領域を絶縁する絶縁領域（20）を形成する工程と、絶縁領域（20）形成後、半導体層（18）上に、導電層（102、302）を形成する工程と、導電層（102、302）形成後、半導体層（18）にイオン（24）を注入し、活性領域を形成する工程とを含むことを特徴とする半導体装置（100、200、300）の製造方法が提供される。

## 【0012】

本発明によれば、イオン注入前に、半導体層上に導電層を形成する。かかる構成により、活性領域を形成する半導体層が第1絶縁層と絶縁領域で絶縁されていても、イオン注入時に半導体層に生じた電荷が導電層に流れて除去される。このため、半導体層が第1絶縁層を損傷する電位以上にはならない。その結果、第1絶縁層が損傷せず、半導体層の歩留りを向上させることができる。

## 【0013】

さらに、導電層（102，302）形成前に、活性領域を形成する半導体層（18）上に、第2絶縁層（22）を形成する工程を含めても良い。かかる場合には、半導体層と導電層との間に第2絶縁層が配置される。ただし、イオン注入時に半導体層に生じる電荷は、第2絶縁層を通過して導電層に到達する。このため、半導体層と導電層との間に第2絶縁層が配置されていても、半導体層に生じる電荷を除去することができる。その結果、半導体層が第1および第2絶縁層を損傷する電位以上にはならず、第1および第2絶縁層の損傷を防止できる。

## 【0014】

さらに、活性領域形成後、導電層（102）を除去する工程と、導電層（102）除去後、半導体層（18）の活性領域上に、第2絶縁層（22）を形成する工程とを含めても良い。かかる構成によれば、イオン注入時には、半導体層上に導電層が直接形成されている。このため、半導体層に生じる電荷を導電層に効率よく導くことができる。その結果、半導体層により多くのイオンを注入し、半導体層に電荷が多く発生しても、該電荷を確実に除去することができる。

## 【0015】

さらに、導電層（102）を、C（炭素）から構成することが好ましい。かかる構成によれば、イオンを注入する活性領域以外の領域をマスクするレジスト膜と同時に導電層を硫酸洗浄により除去することができる。このため、導電層自体を個別独立に除去する工程を省略することができる。その結果、製造コストの抑制および製造時間の短縮を図ることができる。

## 【0016】

さらに、導電層（302）を、不純物イオンがドーピングされたSi（シリコン）から構成することが好ましい。かかる構成によれば、導電層を半導体素子の構成部材としても使用することができる。

## 【0017】

さらに、CまたはイオンドーピングSiから成る導電層（102，302）を、5nm～10nmの厚みに形成することが好ましい。かかる構成により、半導体層へのイオン注入を妨げずに、電荷の除去を確実に行うことができる。

## 【0018】

さらに、導電層 (102) を、Au, Au 合金, Pt, Pt 合金, Au と Pt との合金から成る群から選択される任意の金属, あるいはAl または Al 合金から構成することが好ましい。各金属から成る導電層は、硫酸洗浄では除去されることがない。このため、複数回のイオン注入により複数の活性領域を形成する場合に、各イオンを注入する活性領域以外の領域をマスクするレジスト膜を個別独立に形成および除去しても、導電層が除去されることがない。その結果、イオン注入工程全般に渡り、導電層を残存させることができる。さらに、上記金属から成る導電層であれば、イオン注入後に王水洗浄により容易に除去可能である。Al または Al 合金から成る導電層を採用すれば、Al が半導体層を構成する例えば Si の電子受容体となり、イオン注入時の半導体層の変質を抑えることができる。

## 【0019】

さらに、上記金属から成る導電層 (102) を、1 nm ~ 5 nm の厚みに形成することが好ましい。かかる構成により、上記と同様に、半導体層へのイオン注入を妨げずに、電荷の除去を確実に行うことができる。

## 【0020】

## 【発明の実施の形態】

以下に、添付図面を参照しながら本発明にかかる半導体装置の製造方法の好適な実施の形態について、詳細に説明する。なお、以下の各実施の形態において、略同一の機能および構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

## 【0021】

## (第1の実施の形態)

まず、図1および図2を参照しながら、本発明の第1の実施の形態について説明する。本実施の形態は、フィールド酸化膜20上およびゲート酸化膜22上に導電層102を形成し、該導電層102により半導体層18の蓄積電荷38を除去することを特徴としている。なお、図1は、本発明を適用可能な半導体装置100の製造工程を説明するための半導体装置100の概略的な断面図である。また、図2は、イオン注入工程時の半導体装置100の状態を説明するための半導

体装置 1 0 0 の概略的な断面図である。

【 0 0 2 2 】

本実施の形態にかかる半導体装置 1 0 0 は、図 1 ( e ) に示すように、 S O I ウェハ 1 2 上に形成された M O S 型 F E T を備えている。 S O I ウェハ 1 0 は、半導体 ( S i ) 基板 1 4 上に B O X 層 1 6 と半導体 ( S i ) 層 1 8 とが形成された構造を有している。また、 S O I ウェハ 1 2 は、 S I M O X 法あるいは張り合わせ法により形成されている。なお、張り合わせ法は、半導体基板 1 4 に B O X 層 1 6 と半導体層 1 8 とを順次張り合わせる方法である。また、半導体基板 1 4 は、半導体基板 1 4 上に形成される B O X 層 1 6 や半導体層 1 8 などの各層を支持する。また、 B O X 層 1 6 は、 B O X 層 1 6 上に形成される各種半導体デバイスと半導体基板 1 4 とを絶縁分離する。

【 0 0 2 3 】

S O I ウェハ 1 2 上に M O S 型 F E T を形成する場合には、まず図 1 ( a ) に示すように、半導体層 1 8 にフィールド酸化膜 2 0 を形成する。フィールド酸化膜 2 0 は、 L O C O S 法により半導体層 1 8 に形成される。また、フィールド酸化膜 2 0 は、半導体層 1 8 に形成されるソース／ドレイン領域 2 8 などの活性領域を素子分離する素子分離領域となる。かかる構成により、半導体層 1 8 は、 B O X 層 1 6 およびフィールド酸化膜 2 0 により絶縁される。

【 0 0 2 4 】

次いで、図 1 ( b ) に示すように、半導体層 1 8 の表面を酸化処理し、ゲート酸化膜 2 2 を形成する。ゲート酸化膜 2 2 は、 M O S 型 F E T のゲートとして機能する。また、ゲート酸化膜 2 2 は、デザインルールに応じた厚み、例えば 5 n m ～ 8 n m に形成されている。

【 0 0 2 5 】

次いで、本実施の形態の特徴的な工程を行う。すなわち、図 1 ( c ) に示すように、フィールド酸化膜 2 0 上およびゲート酸化膜 2 2 上が覆われるように、 S O I ウェハ 1 2 の表面全面に導電層 1 0 2 を形成する。導電層 1 0 2 は、例えばスパッタ法により形成され、導電性材料、例えば C , A u , A u 合金、 P t , P t 合金、 A u と P t との合金、 A l , A l 合金、好ましくは不定形炭素、 A u ,

Pt, Al から構成されている。また、導電層 102 は、構成材料に応じて、後述のイオン注入時に半導体層 18 に生じる電荷 38 を外部に除去可能な厚みに形成される。導電層 102 の厚みは、例えば不定形炭素であれば 5 nm ~ 10 nm に、また Au, Pt, Al であれば 1 nm ~ 5 nm に設定する。

## 【0026】

次いで、図 1 (c) に示すように、半導体層 18 とゲート酸化膜 22 との界面に、中ドーズイオン注入装置によりチャネルイオン、例えば  $B^{+24}$  を  $2 \times 10^{12}$  個/cm<sup>2</sup> ~  $1 \times 10^{13}$  個/cm<sup>2</sup> のドーズ量で注入する。かかる  $B^{+24}$  の注入は、一般的に Vt コントロールを目的としている。この際、イオン注入は、リソグラフィ法により、Nチャネル MOS 部と Pチャネル MOS 部で別々に行う。すなわち、Nチャネル MOS 部にチャネルイオンを注入する時には、Pチャネル MOS 部上方の導電層 102 上を不図示のレジスト膜で覆う。逆に、Pチャネル MOS 部にチャネルイオンを注入する時には、Nチャネル MOS 部上方の導電層 102 上を不図示のレジスト膜で覆う。

## 【0027】

また、イオン注入時には、すでに説明したように、注入されたイオン ( $B^{+}$ ) の電荷 38 が半導体層 18 に発生する。ここで、本実施の形態の特徴である半導体層 18 に発生した電荷の除去構成について、図 2 を参照しながら説明する。

## 【0028】

本実施の形態にかかる半導体装置 100 のフィールド酸化膜 20 上およびゲート酸化膜 22 上を含む SOI ウェハ 12 の表面全面には、導電層 102 が形成されている。かかる構成により、半導体層 18 に生じた蓄積電荷 38 は、FN (Fowler-Nordheim) 電流となって図 2 中の矢印に示すようにゲート酸化膜 22 を通過し、導電層 102 に抜ける。さらに、導電層 102 に抜けた FN 電流は、例えば導電層 102 に接触するイオン注入装置の SOI ウェハ 12 支持部材を介して外部に除去される。あるいは、導電層 102 に生じた電子がゲート酸化膜 22 を介して半導体層 18 に抜け、半導体層 18 の蓄積電荷 38 を電氣的に中和して除去する。

## 【0029】

例えば、不定形炭素から成る導電層102では、膜厚を10nmとすると、導電層102の比抵抗値は、 $4.1 \times 10^{-3} \Omega \cdot \text{cm}$ となる。また、SOIウェハ12の半径（中心からエッジまでの距離）が150mmである場合、上記半径が1cmであると仮定すると、導電層102の比抵抗値は30.7k $\Omega$ となる。そして、 $\text{B}^{+}24$ を $1 \times 10^{13}$ 個/ $\text{cm}^2$ のドーズ量で1分間イオン注入した場合には、イオン電流は27nA/ $\text{cm}^2$ となり、半導体層18の蓄積電位差は0.8mVしか生じない。また、ゲート酸化膜22を流れるFN電流は、ゲート酸化膜22の厚みが6nmであれば、6Vの電位差で $1.3 \times 10^{-5} \text{A}$ （13 $\mu\text{A}$ ）/ $\text{cm}^2$ 流れる。また、FN電流は、ゲート酸化膜22の厚みが8nmであっても、8Vの電位差で上記と同じ $1.3 \times 10^{-5} \text{A}$ （13 $\mu\text{A}$ ）/ $\text{cm}^2$ 流れることが知られている。このため、本実施の形態によれば、半導体層18の蓄積電荷38による電位差は、10Vを超えることはない。また、不定形炭素から成る導電層102では、膜厚が5nm程度であっても、上記電位差を10V以下に抑えることができる。半導体層18の蓄積電位差が10Vよりも低ければ、上記表1に示すように、ゲート酸化膜22が損傷することがない。その結果、絶縁耐圧不良やTDDB不良が発生することなく、半導体装置100の信頼性を高めることができる。

#### 【0030】

また、同様に、Au、PtまたはAlから成る導電層102では、膜厚を1nmとすると、比抵抗値は各々2.4 $\Omega \cdot \text{cm}$ 、10.6 $\Omega \cdot \text{cm}$ 、 $2.75 \times 10^{-6} \Omega \cdot \text{cm}$ となる。また、SOIウェハ12の半径（中心からエッジまでの距離）150mmを1cmと仮定すると、導電層102の比抵抗値はAu層が180 $\Omega$ 、Pt層が794 $\Omega$ 、Al層が206 $\Omega$ となる。そして、 $\text{B}^{+}24$ を $1 \times 10^{13}$ 個/ $\text{cm}^2$ のドーズ量で1分間イオン注入すると、イオン電流は上記と同様に27nA/ $\text{cm}^2$ なので、半導体層18の蓄積電位差はAu層では5mV、Pt層では0.02V、Al層では6mVしか生じない。また、ゲート酸化膜22を流れるFN電流は、ゲート酸化膜22の厚みが6nm～8nmであれば、6V～8Vの電位差で $1.3 \times 10^{-5} \text{A}$ （13 $\mu\text{A}$ ）/ $\text{cm}^2$ 流れる。このため、上記金属材料を採用しても、半導体層18の蓄積電荷38による電位差は、

10Vを超えることはない。ただし、上記金属から成る導電層102の厚みは、 $B^{+}24$ を上記ドーズ量でイオン注入するために、5nm以下にすることが好ましい。

#### 【0031】

また、導電層102としてAlを採用すれば、Alが半導体層22を構成するSiの良好な電子受容体（アクセプタ）として機能する。このため、 $B^{+}24$ のイオン注入がノックオン（knock-on）状態で行われても、半導体層22の不純物や格子欠損を伴う再結合中心などが起こらず、FET特性が劣化することがない。

#### 【0032】

再び、半導体装置100の製造工程の説明に戻る。上記イオン注入の後、図1(d)に示すように、導電層102を除去する。この際、導電層102が不定形炭素から成る場合には、イオン注入時に使用した導電層102上のレジスト膜の除去と同時に導電層102も除去する。すなわち、レジスト膜は、一般的に硫酸洗浄により除去される。また、導電層102を構成する炭素も、硫酸洗浄により除去可能である。このため、導電層102とレジスト膜の同時除去が可能となる。その結果、導電層102単独の除去工程を行う必要がなく、製造コストの抑制および製造時間の短縮を図ることができる。

#### 【0033】

また、導電層102がAu、PtまたはAlから成る場合には、上述した不定形炭素から成る導電層102とは異なり、レジスト膜を除去する硫酸洗浄によっては除去されない。このため、上記金属から成る導電層102は、王水（濃硫酸と濃硝酸を各々3対1の容積比で混合した混合物）洗浄により除去する。イオン注入工程は、すでに説明したように、NチャネルMOSFETとPチャネルMOSFETに対し個別独立に選択的にイオン注入を行う。このため、NチャネルMOSFET上またはPチャネルMOSFET上に適宜フォトリソ膜を形成し、イオン注入後、レジスト膜を硫酸洗浄により除去工程を複数回行う。従って、上記金属から成る導電層102を採用すれば、レジスト膜の除去工程では除去されず、王水洗浄までのイオン注入工程に渡り、同一の導電層102で上記蓄積電

荷の抑制を行うことができる。

#### 【 0 0 3 4 】

導電層 1 0 2 の除去後、図 1 ( d ) に示すように、ゲート酸化膜 2 2 上にゲート電極 2 6 を形成する。ゲート電極 2 6 は、例えば C V D 法およびフォトリソエッチングにより形成され、導電性材料、例えばポリシリコンから構成されている。その後、半導体層 1 8 にソース／ドレイン領域 2 8 を形成する。ソース／ドレイン領域 2 8 は、ゲート電極 2 6 を用いたセルフアライン（自己整合）技術および高ドーズイオン注入技術により形成される。

#### 【 0 0 3 5 】

次いで、図 1 ( e ) に示すように、S O I ウェハ 1 2 の表面全面に層間絶縁膜 3 0 を形成する。層間絶縁膜 3 0 は、例えば C V D 法により形成され、絶縁性材料、例えば  $\text{SiO}_2$  や B P S G ( B o r o n - P h o s p h o S i l i c a t e G l a s s ) から構成されている。その後、層間絶縁膜 3 0 およびゲート酸化膜 2 2 に、フォトリソエッチングによりコンタクトホール 3 2 を開孔する。コンタクトホール 3 2 は、層間絶縁膜 3 0 とゲート酸化膜 1 8 とを貫通し、ソース／ドレイン領域 2 8 に接続される。その後、コンタクトホール 3 2 内に埋め込みプラグ 3 4 を埋め込む。埋め込みプラグ 3 4 は、例えばスパッタ法により形成され、導電性材料、例えば W ( タングステン ) から構成されている。次いで、埋め込みプラグ 3 4 上に配線層 3 6 を形成する。配線層 3 6 は、例えばスパッタ法により形成され、導電性材料、例えば A l ( アルミニウム ) から構成されている。以上、各工程を行うことにより、S O I ウェハ 1 2 上に M O S 型 F E T が形成された半導体装置 1 0 0 が形成される。なお、図 1 ( e ) では、ゲート電極 2 6 および配線層 3 6 に接続される配線を省略して図示している。

#### 【 0 0 3 6 】

##### ( 第 2 の実施の形態 )

次に、図 3 および図 4 を参照しながら、本発明の第 2 の実施の形態にかかる半導体装置 2 0 0 について説明する。本実施の形態は、ゲート酸化膜 2 2 の形成前に導電層 1 0 2 を形成する点に特徴がある。なお、図 3 は、本発明を適用可能な半導体装置 2 0 0 の製造工程を説明するための半導体装置 2 0 0 の概略的な断面



図である。また、図4は、イオン注入工程時の半導体装置200の状態を説明するための半導体装置200の概略的な断面図である。

#### 【0037】

本実施の形態にかかる半導体装置200を形成する場合には、まず図3(a)に示すように、図1(a)に示す半導体装置100の製造工程と同様に、SOIウェハ12の半導体層18にフィールド酸化膜20を形成する。ただし、この時点では、ゲート酸化膜22の形成は行わない。

#### 【0038】

次いで、本実施の形態の特徴的な工程を行う。すなわち、図3(b)に示すように、フィールド酸化膜20上、およびゲート酸化膜22形成前の半導体層18上に導電層102を直接形成する。導電層102は、第1の実施の形態で説明したC、Au、Au合金、Pt、Pt合金、AuとPtとの合金、Al、Al合金、好ましくは不定形炭素、Au、Pt、Alから成り、同一の方法で形成されている。また、導電層102は、上記各材料に対応する厚みに成膜されている。その後、図1(c)に示す半導体装置100の製造工程と同様に、半導体層18とゲート酸化膜22との界面に $B^{+}$ 24を注入する。

#### 【0039】

本実施の形態にかかる半導体装置200は、図3(b)および図4に示すように、半導体層18と導電層102とが直接接触している。このため、半導体層18に生じた蓄積電荷38は、FN電流となって図4中の矢印に示すように、半導体層18に直接抜けて消失する。かかる構成により、例えば $1 \times 10^{14}$ 個/ $cm^2$ 以上のドーズ量でイオン注入を行っても、半導体層18での電荷38の蓄積を防止できる。その結果、高ドーズ量のイオン注入でも半導体層22で再結合中心が起こらず、FET特性の劣化を防止できる。

#### 【0040】

イオン注入終了後、図3(c)に示すように、導電層102を除去する。この際、導電層102が不定形炭素から成る場合には硫酸洗浄により、またAu、Pt、Alから成る場合には王水洗浄により除去する。

#### 【0041】

導電層102の除去後、図3(c)に示すように、図1(b)に示す半導体装置100の製造工程と同様に、半導体層18の表面を酸化処理し、ゲート酸化膜22を形成する。次いで、図3(d)および図3(e)に示すように、図1(d)および図1(e)に示す半導体装置100の製造工程と同様に、ゲート電極26、ソース/ドレイン領域28、埋め込みプラグ34、配線層36を形成する。上記各工程により、SOIウェハ12上にMOS型FETが形成された半導体装置200が形成される。

## 【0042】

## (第3の実施の形態)

次に、図5を参照しながら、本発明の第3の実施の形態にかかる半導体装置300について説明する。本実施の形態は、P(リン)またはB(ホウ素)ドーブポリシリコンから成る導電層302を採用する点に特徴がある。なお、図5は、本発明を適用可能な半導体装置300の製造工程を説明するための半導体装置300の概略的な断面図である。

## 【0043】

本実施の形態にかかる半導体装置300を形成する場合には、まず図5(a)および図5(b)に示すように、図1(a)および図1(b)に示す半導体装置100の製造工程と同様に、SOIウェハ12の半導体層18にフィールド酸化膜20およびゲート酸化膜22を形成する。

## 【0044】

次いで、本実施の形態の特徴的な工程を行う。すなわち、図5(c)に示すように、フィールド酸化膜20上およびゲート酸化膜22上が覆われるように、SOIウェハ12の表面全面に導電層302を形成する。導電層302は、以下のようにして形成する。まず、SOIウェハ12の表面全面に、例えばCVD法により、アンドープポリシリコン層を形成する。アンドープポリシリコン層は、後述のPまたはBドーブ後に、イオン注入時に半導体層18に生じる電荷38を外部に除去可能な厚み、例えば5nm～10nmに成膜する。次いで、アンドープポリシリコン層に、イオン注入法によりPまたはBを $1 \times 10^{16}$ 個/cm<sup>3</sup>程度ドーブし、ドーブポリシリコンから成る導電層302を形成する。

## 【0045】

導電層302の形成後、図1(c)に示す半導体装置100の製造工程と同様に、半導体層18とゲート酸化膜22との界面に $B^{+}24$ を注入する。この際、半導体層18に生じた蓄積電荷38は、ゲート酸化膜22と導電層302とを介して除去される。例えば、導電層302は、膜厚を10nmとすると、導電層302の比抵抗値は、 $0.48\Omega \cdot cm$ となる。また、SOIウェハ12の半径(中心からエッジまでの距離)150mmを1cmと仮定すると、導電層302の比抵抗値は $3.6M\Omega$ となる。そして、 $B^{+}24$ を $1 \times 10^{13}$ 個/cm<sup>2</sup>のドーザ量で1分間イオン注入した場合には、イオン電流は $27nA/cm^2$ となり、半導体層18の蓄積電位差は0.1Vしか生じない。また、ゲート酸化膜22を流れるFN電流は、ゲート酸化膜22の厚みが6nm~8nmであれば、6V~8Vの電位差で $1.3 \times 10^{-5}A$ (13 $\mu A$ )/cm<sup>2</sup>流れる。このため、導電層302を採用しても、半導体層18の蓄積電荷38による電位差は、10Vを超えることはない。また、導電層302では、膜厚が5nm程度であっても、上記電位差を10V以下に抑えることができる。その結果、半導体層18の蓄積電位差が10Vよりも低いので、絶縁耐圧不良やTDDB不良が発生しない。

## 【0046】

イオン注入後、上記第1および第2の実施の形態とは異なり、図5(d)に示すように、導電層302を除去せずに、半導体層18上方の導電層302上に、ゲート電極26を形成する。ゲート電極26を形成する場合には、まず導電層302上に、例えばCVD法によりポリシリコン層を形成する。次いで、半導体層18上方のポリシリコン層上の所定位置に不図示のレジスト膜を形成する。その後、レジスト膜をマスクとしてポリシリコン層および導電層302をエッチングし、ゲート電極26を形成する。本実施の形態によれば、導電層302は、ゲート電極26と略同一のドーパポリシリコンから形成されている。このため、ゲート電極26の下層に導電層302を残存させても、導電層302をゲート電極26として機能させることができる。また、本実施の形態によれば、導電層302を単独の工程で除去する必要がない。このため、半導体装置300の製造コストの抑制および製造時間の短縮を図ることができる。

## 【 0 0 4 7 】

ゲート電極 2 6 形成後，図 5 ( e ) に示すように，図 1 ( e ) に示す半導体装置 1 0 0 の製造工程と同様に，ソース／ドレイン領域 2 8 ，埋め込みプラグ 3 4 ，配線層 3 6 を形成する。上記各工程により，S O I ウェハ 1 2 上に M O S 型 F E T が形成された半導体装置 3 0 0 が形成される。

## 【 0 0 4 8 】

以上，本発明の好適な実施の形態について，添付図面を参照しながら説明したが，本発明はかかる構成に限定されるものではない。特許請求の範囲に記載された技術的思想の範疇において，当業者であれば，各種の変更例および修正例に想到し得るものであり，それら変更例および修正例についても本発明の技術的範囲に属するものと了解される。

## 【 0 0 4 9 】

## 【発明の効果】

本発明によれば，第 1 絶縁層と絶縁領域とで絶縁された半導体層にイオン注入により活性領域を形成する場合でも，半導体層への電荷の蓄積を抑えることができる。このため，第 1 絶縁層がイオン注入時に破壊されることがない。

## 【図面の簡単な説明】

## 【図 1】

本発明を適用可能な半導体装置の製造工程を説明するための半導体装置の概略的な断面図である。

## 【図 2】

図 1 に示すイオン注入工程時の半導体装置の状態を説明するための半導体装置の概略的な断面図である。

## 【図 3】

本発明を適用可能な他の半導体装置の製造工程を説明するための半導体装置の概略的な断面図である。

## 【図 4】

図 3 に示すイオン注入工程時の他の半導体装置の状態を説明するための半導体装置の概略的な断面図である。

【図 5】

本発明を適用可能な他の半導体装置の製造工程を説明するための半導体装置の概略的な断面図である。

【図 6】

従来の半導体装置の製造工程を説明するための半導体装置の概略的な断面図である。

【図 7】

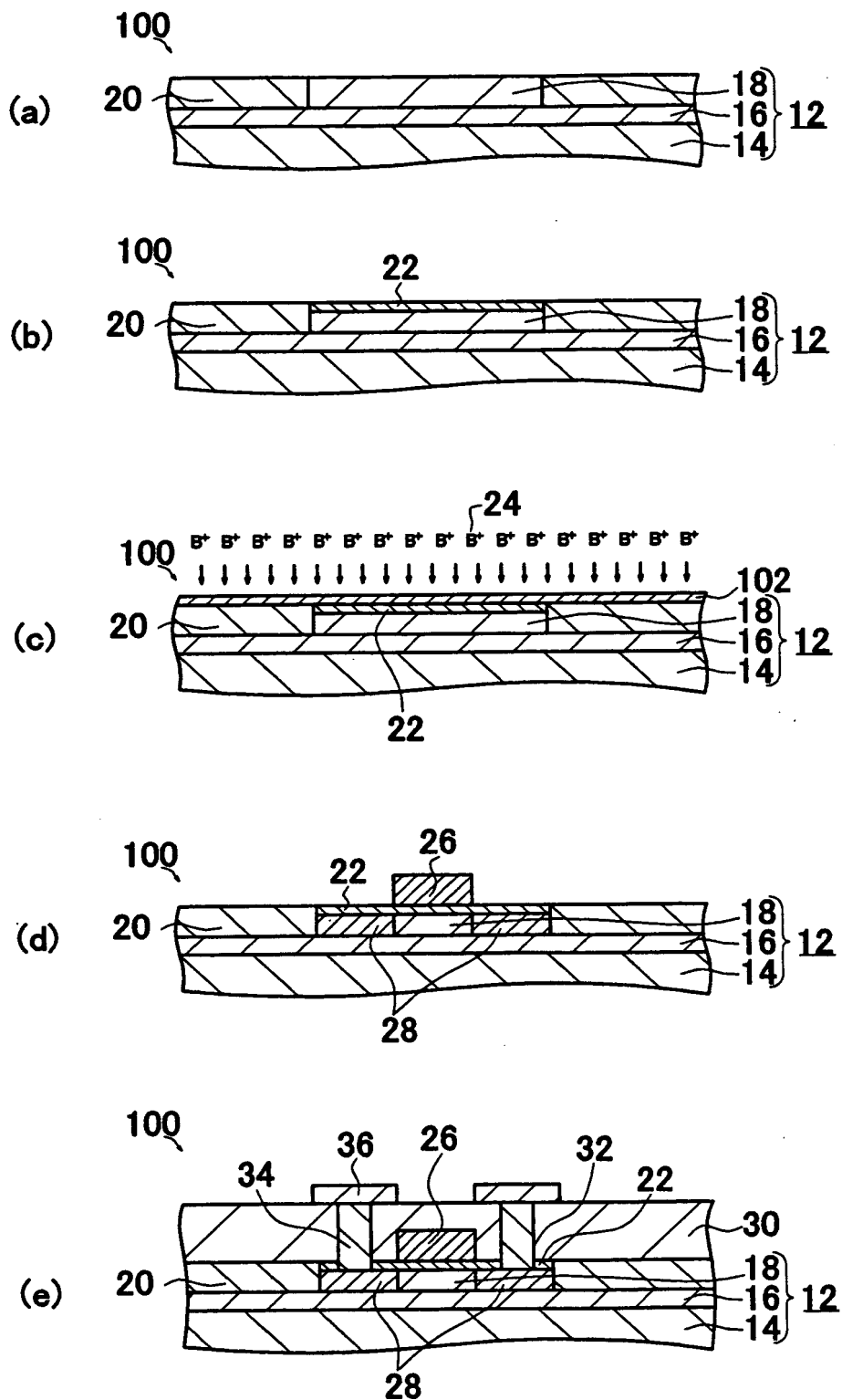
図 6 に示すイオン注入工程時の従来の半導体装置の状態を説明するための半導体装置の概略的な断面図である。

【符号の説明】

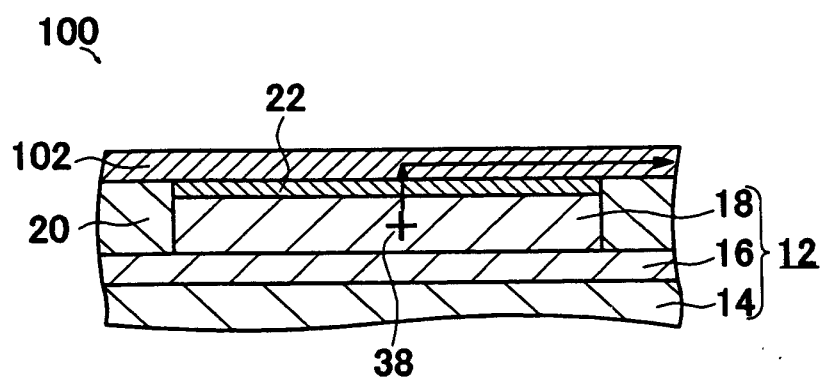
1 2	S O I ウェハ
1 4	半導体基板
1 6	B O X 層
1 8	半導体層
2 0	フィールド酸化膜
2 2	ゲート酸化膜
2 4	B <sup>+</sup>
2 6	ゲート電極
2 8	ソース／ドレイン領域
3 0	層間絶縁膜
3 2	コンタクトホール
3 4	埋め込みプラグ
3 6	配線層
1 0 0	半導体装置
1 0 2	導電層

【書類名】 図面

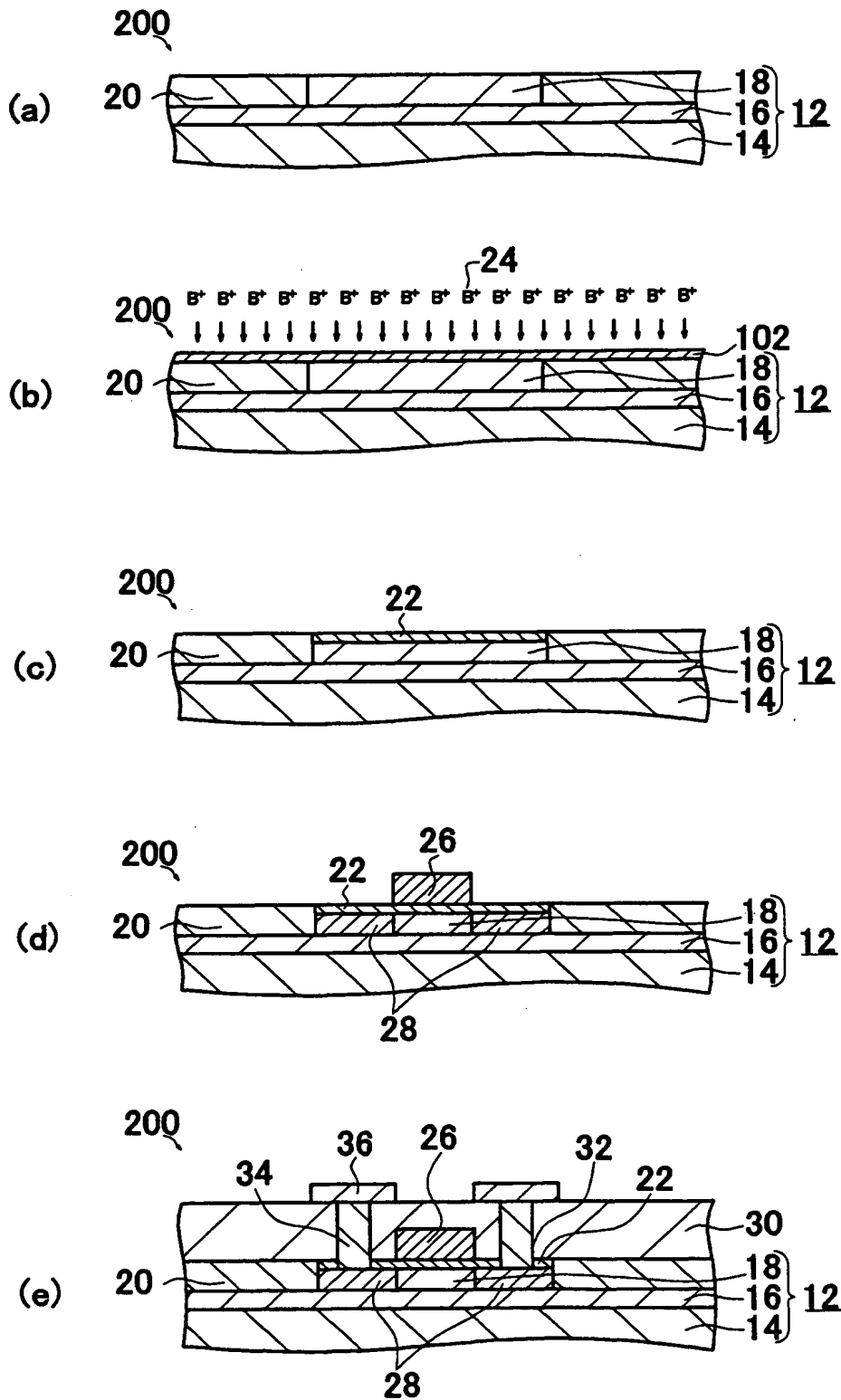
【図1】



【図 2】



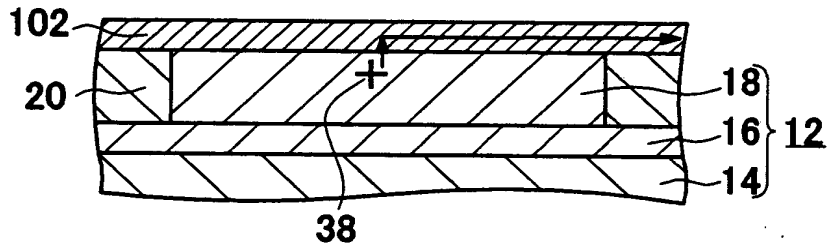
【図 3】



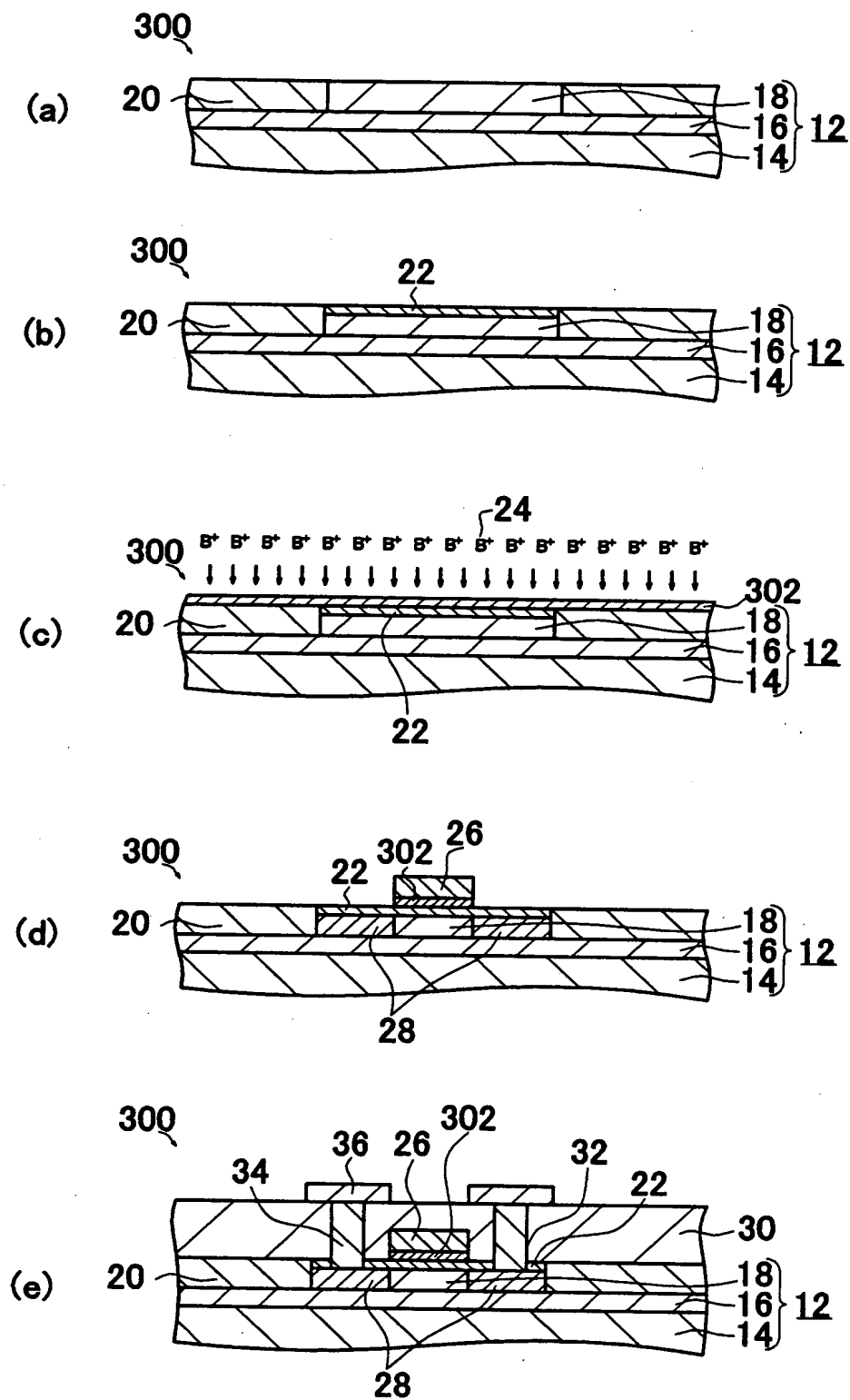


【図 4】

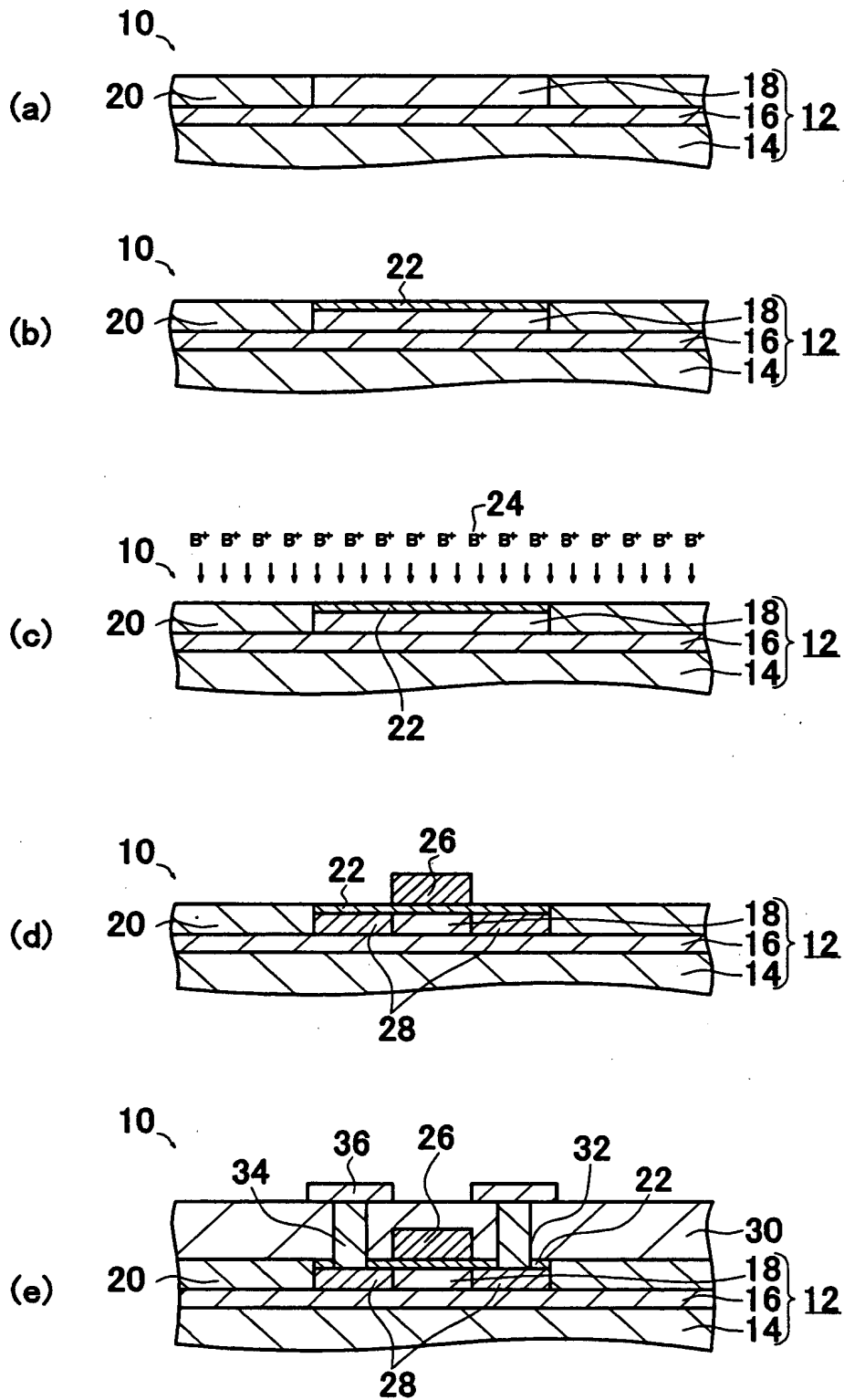
200



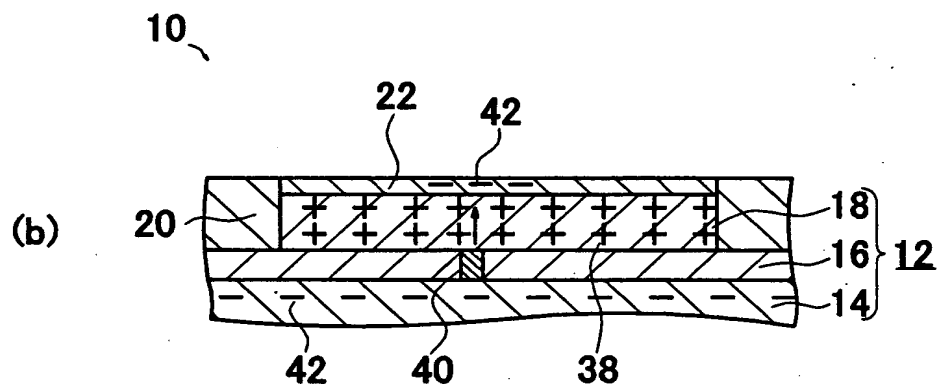
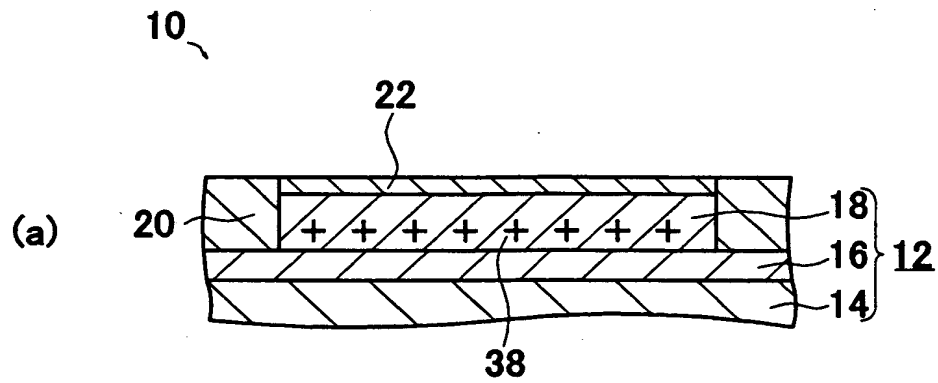
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 イオン注入時に S O I 基板の半導体層への電荷の蓄積を抑制し，B O X 層およびゲート酸化膜の損傷を防止可能な半導体装置の製造方法を提供する。

【解決手段】 半導体装置 1 0 0 の S O I ウェハ 1 2 を構成する B O X 層 1 6 上に形成された半導体層 1 8 に，L O C O S 法によりフィールド酸化膜 2 0 を形成する。半導体層 1 8 の表面にゲート酸化膜 2 2 を形成する。フィールド酸化膜 2 0 上およびゲート酸化膜 2 2 上に導電層 1 0 2 を形成する。導電層 1 0 2 は，スパッタ法により形成された 5 n m ~ 1 0 n m の厚みの不定形炭素層から成る。半導体層 1 8 とゲート酸化膜 2 2 との界面に，中ドーズイオン注入装置により  $B^{+}$  2 4 を注入する。イオン注入時に半導体層 1 8 に生じた電荷 3 8 は，F N 電流となってゲート酸化膜 2 2 および導電層 1 0 2 を通過し，除去される。導電層 1 0 2 の除去後，ゲート酸化膜 2 2 上にゲート電極 2 6 を形成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 東京都港区虎ノ門1丁目7番12号  
氏 名 沖電気工業株式会社